

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 4月21日

出 願 番 号

Application Number:

平成11年特許願第113266号

出 願 人

Applicant (s):

松下電器産業株式会社

RECEIVED

APR 17 2003

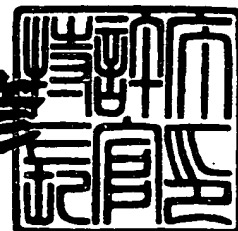
Technology Center 2100

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦





#CC
4/18/03

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hiroshi SONOBE

Serial No.: 09/557,088

Group Art Unit: 2133

Filed: April 21, 2000

Examiner: Matthew C. Dooley

For: SEMICONDUCTOR INSPECTION METHOD

CLAIM FOR PRIORITY

RECEIVED

Commissioner for Patents
Washington, D.C. 20231

APR 17 2003

Technology Center 2100

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 11-113266 filed April 21, 1999.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

Roger W. Parkhurst
Registration No. 25,177

April 16, 2003

Date

RWP/ame

Attorney Docket No. HYAE:097

PARKHURST & WENDEL, L.L.P.

1421 Prince Street, Suite 210

Alexandria, Virginia 22314-2805

Telephone: (703) 739-0220

PLEASE ACCEPT THIS AS
AUTHORIZATION TO DEBIT
OR CREDIT FEES TO
DEP. ACCT. 16-0331
PARKHURST & WENDEL

【書類名】 特許願

【整理番号】 2037800111

【提出日】 平成11年 4月21日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/26

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 園部 浩之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体検査方法

【特許請求の範囲】

【請求項 1】 半導体のレイアウトパターンから配線間どうしの短絡が起こり得る隣接配線を抽出するステップと、

前記隣接配線が論理値 1 と 0 の組み合わせになる入力論理値を求めるステップと、

前記入力論理値を入力とする論理回路の出力をモニターし、前記入力論理値を前記論理回路に加えたときに期待される期待値と比較するステップとを備えた半導体検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、論理回路によって構成される I C や L S I の半導体の検査方法に関するものである。

【0 0 0 2】

【従来の技術】

近年、L S I の大規模化、複雑化により L S I の故障検出は困難になっており、その半導体検査方法の一つとして、回路データよりの縮退故障を設定する半導体検査方法が使われている。

【0 0 0 3】

以下に従来の 3 入力 A N D と 2 入力 A N D を組み合わせた回路の縮退故障を検出する半導体検査方法について説明する。

【0 0 0 4】

図 2 (a) は、故障を検出する論理回路図、図 3 (a) ～図 3 (c) は、従来の縮退故障の設定による半導体検査方法の入力論理値と前記入力論理値に対する出力値の真理値表であり、論理回路図の 2 1 0、2 1 1 は、A N D ゲート、2 0 1 ～2 0 4 は入力端子 A、B、C、D、2 0 6、2 0 7 は出力端子 E、F である。次に、従来例の半導体検査方法における検査方法について述べる。

【0005】

まず、3入力AND210においては、図3(a)のような真理値表のように入力端子A、B、Cに真理値表のa列のようにともに1を入力し、出力端子Eの出力をモニターすることで端子A、B、C、Eの0縮退故障を検出でき、真理値表のb列のように入力端子Aに0をB、Cに1を入力し、出力端子Eをモニターすることで端子A、Eの1縮退故障を検出できる。同様に真理値表のc列のように入力端子Bに0を入力端子A、Cに1を入力することや真理値表のd列のように入力端子Cに0を入力端子A、Bに1を入力し、出力端子Eをモニターすることで、端子B、Cの1縮退故障を検出できる。前記のように、図3のような真理値表の組み合わせを入力する事が、検出効率を考え、より少ない組み合わせで故障検出するために、従来例の半導体検査方法では、一般的である。また、2入力AND211においても、同様に図3(a)の真理値表のe列の入力を入力端子C、Dに入力し、出力端子Fをモニターする事により、端子C、D、Fの0縮退故障が検出でき、図3(b)の真理値表のf列、g列の入力を入力端子C、Dに入力し、出力端子Fをモニターすることにより、端子C、D、Fの1縮退故障が検出できる。従って、図2(a)の論理回路においては、前記の3入力AND210に必要な組み合わせである図3(a)の真理値表のa列、b列、c列、d列と前記の2入力AND211に必要な組み合わせである図3(b)の真理値表のe列、f列、g列を組み合わせた入力である図3(c)の真理値表のh列、i列、j列、k列を入力端子A、B、C、Dに入力することにより、端子A、B、C、D、E、Fの0縮退故障、1縮退故障は検出される。このように、図2の論理回路の故障検出は、図3のような真理値表の組み合わせを入力する事が、検出効率を考え、より少ない組み合わせで故障検出するために、従来例の半導体検査方法では、一般的となっている。

【0006】

【発明が解決しようとする課題】

しかしながら、図2(a)の論理回路のレイアウトパターンが、半導体上で図2(b)のようになっていた場合、従来の縮退故障を検出する半導体検査方法によって与えられる図3の真理値表のh列、i列、j列、k列を入力端子A、B、

C、Dに与えても、端子A、B、C、D、E、Fの0縮退故障、1縮退故障は検出できるが、入力端子A、Dが短絡していても、入力端子A、Dの論理値が同じなので検出できず、出力端子E、Fが短絡していても、出力端子E、Fに出力される論理値が同じなので検出できず、このような短絡故障を検出できない場合があり、LSI等の不良を選別できない場合があった。

【0007】

本発明は、前記従来の半導体検査方法の問題点を解決するもので、隣接配線間でおこる短絡故障を検出することを目的とする。

【0008】

【課題を解決するための手段】

この目的を達成するために本発明の半導体検査方法では、半導体のレイアウトパターンから配線間どうしの短絡が起こり得る隣接配線を抽出するステップと、前記隣接配線が論理値1と0の組み合わせになる入力論理値を求めるステップと、前記入力論理値を入力とする論理回路の出力をモニターし、前記入力論理値を前記論理回路に加えたときに期待される期待値と比較するステップを備えている。

【0009】

上記の方式により、半導体のレイアウトパターンから配線間どうしの短絡が起こり得る隣接配線を抽出し、前記隣接配線が論理値1と0の組み合わせになる入力論理値を求めることにより、従来の縮退故障で検出できなかった隣接配線との短絡故障を検出できるとともに論理回路の出力をモニターして検出することにより短時間で故障を検出できる。

【0010】

【発明の実施の形態】

以下、本発明の一実施形態について図面を参照しながら説明する。図1は、本発明の半導体検査方法を構成する各手段を表すフロー図である。また、図2は、検査対象の一例である設計した論理回路図とレイアウトパターンである。図4は、図1のフロー図に沿った具体的な半導体検査方法を示す詳細フロー図である。図5は、より短絡する可能性のある配線を抽出し、論理値1と0前記論理回路に

加えたときの真理値表である。図 1 において 1 0 1 ~ 1 0 5 は、本発明の故障検出方式の各ステップである。図 2 において、2 1 0、2 1 1 は AND ゲート、2 0 1 ~ 2 0 4 は入力端子 A、B、C、D、2 0 6、2 0 7 は出力端子 E、F、2 5 1 ~ 2 5 4、2 5 6、2 5 7 は、短絡を検出するべき配線である。4 0 1 ~ 4 0 9 は、本発明の具体的な半導体検査方法の詳細フローのステップである。次に、本発明の半導体検査方法について図 2 (a) の論理回路が、図 2 (b) のようなレイアウトパターンでレイアウトされていた例を用いて図 4 の具体的な半導体検査方法の設計フローを用いて説明する。図 1 のステップ 1 0 2 でレイアウトパターンより配線間の短絡が発生する可能性のある配線の組み合わせを抽出する。具体的には、図 4 の詳細フロー図のステップ 4 0 2 として、隣接しかつある一定の距離内の配線の組合せを抽出する図 2 (b) のレイアウトパターンの場合、配線 2 5 1、2 5 4 間、配線 2 5 1、2 5 3 間、配線 2 5 2、2 5 3 間、配線 2 5 6、2 5 7 間が隣接配線であり、近接していることから短絡故障が発生する可能性があることが配線の組合せとして抽出される。次に、図 1 のステップ 1 0 3 として、抽出した配線の組み合わせの一方が論理値 0、他方が論理値 1 にする入力論理値を導出し、前記導出した入力論理値によって得られる正しい出力論理値を求める。具体的には、図 4 のステップ 4 0 3 として、配線 2 5 1、2 5 4 間に注目し、入力端子 A に論理値 0 または論理値 1 の一方を設定し、入力端子 D に他方の論理値を設定する。前記の入力端子 A は、図 2 (a) の 3 入力 AND 2 1 0 に接続されるが、3 入力 AND 2 1 0 の出力 E は、入力端子 B、C の入力にも、影響されるので図 5 のステップ 4 として入力端子 A の入力で 3 入力 AND 2 1 0 の出力が変化するように入力端子 B、C の入力に論理値 1 を設定する。また、前記の入力端子 D は、図 2 (a) の 2 入力 AND 2 1 1 に接続されるが、2 入力 AND 2 1 1 の出力 F は、入力端子 C の入力にも、影響されるので入力端子 C の入力で 2 入力 AND 2 1 1 の出力が変化するように入力端子 C の入力に論理値 1 を設定する。図 4 のステップ 4 0 5 として、設定した入力論理値によって得られる正しい出力論理値を求めると図 5 (a) の様な真理値表となる。真理値表からわかるように、この場合は、配線 2 5 1、2 5 4 間、2 5 6、2 5 7 間が、一方の配線に論理値 0 が設定され、他方に論理値 1 が設定され、かつ出力端子 E

、Fより出力をモニターできることより、短絡故障の検出が可能である。図4のステップ406として検出できた短絡故障が発生する可能性がある配線の組合せ配線251、254間、256、257間をステップ402で抽出した短絡故障が発生する可能性がある配線の組合せからのぞき、未検出の短絡故障が発生する可能性のある配線の組合せが残っている場合は、残っている組合せに対して、前記ステップ403～406を同様に繰り返し、ステップ407で未検出の短絡故障が発生する可能性のある配線の組み合わせが残っているか判定し、無くなるまで行う。本実施例では、配線251、253間、252、253間が残っているので、同様にこれらの配線の組合せに対しても行い、図5(b)、(c)真理値表が得られる。また、図5(a)、(b)、(c)の真理値表の重複部分を削除しまとめると図5(d)の真理値表が得られる。図4の詳細フロー図のステップ403～407が、図1のフロー図103にあたる。図4の詳細フローのステップ408として図5(d)の得られた真理値表のr、s、t、u列を入力論理値として入力端子A、B、C、Dに印加し、出力端子E、Fをモニタし、図5(d)真理値表の比較する事により、ステップ402で抽出されたレイアウトパターンより配線間の短絡が発生する可能性のある配線の短絡故障を検出できる。図4の詳細フローのステップ408は図1のフロー図のステップ104にあたる。

【0011】

同様に、さらに複雑な論理回路においても、図4の詳細フローのステップ403～407を繰り返すことにより短絡故障を検出できる真理値表が得られ、ステップ408で求めた入力論理値を印可し、入力論理値を入力とする論理回路の出力をモニターし出力論理値と比較することで短絡故障を検出できる。

【0012】

【発明の効果】

本発明は、半導体のレイアウトパターンから配線間どうしの短絡が起こり得る隣接配線を抽出し、前記隣接配線が論理値1と0の組み合わせになる入力論理値を求めることにより、従来の縮退故障で検出できなかった隣接配線との短絡故障を検出できるとともに論理回路の出力をモニターして検出することにより短時間で故障を検出できる。

【図面の簡単な説明】

【図 1】

本発明の半導体検査方法を構成する各手段を表すフロー図

【図 2】

検査対象の一例である設計した論理回路図とレイアウトパターン図

【図 3】

従来例における半導体検査方法における入力論理値と出力論理値の真理値表を示す図

【図 4】

本発明の半導体検査方法を構成する手段を表す詳細フロー図

【図 5】

本発明の半導体検査方法における入力論理値と出力論理値の真理値表を示す図

【符号の説明】

A, B, C, D 入力端子

D, E 出力端子

1 0 1 ~ 1 0 5 ステップ

2 0 1 ~ 2 0 4 入力端子

2 0 5, 2 0 6 出力端子

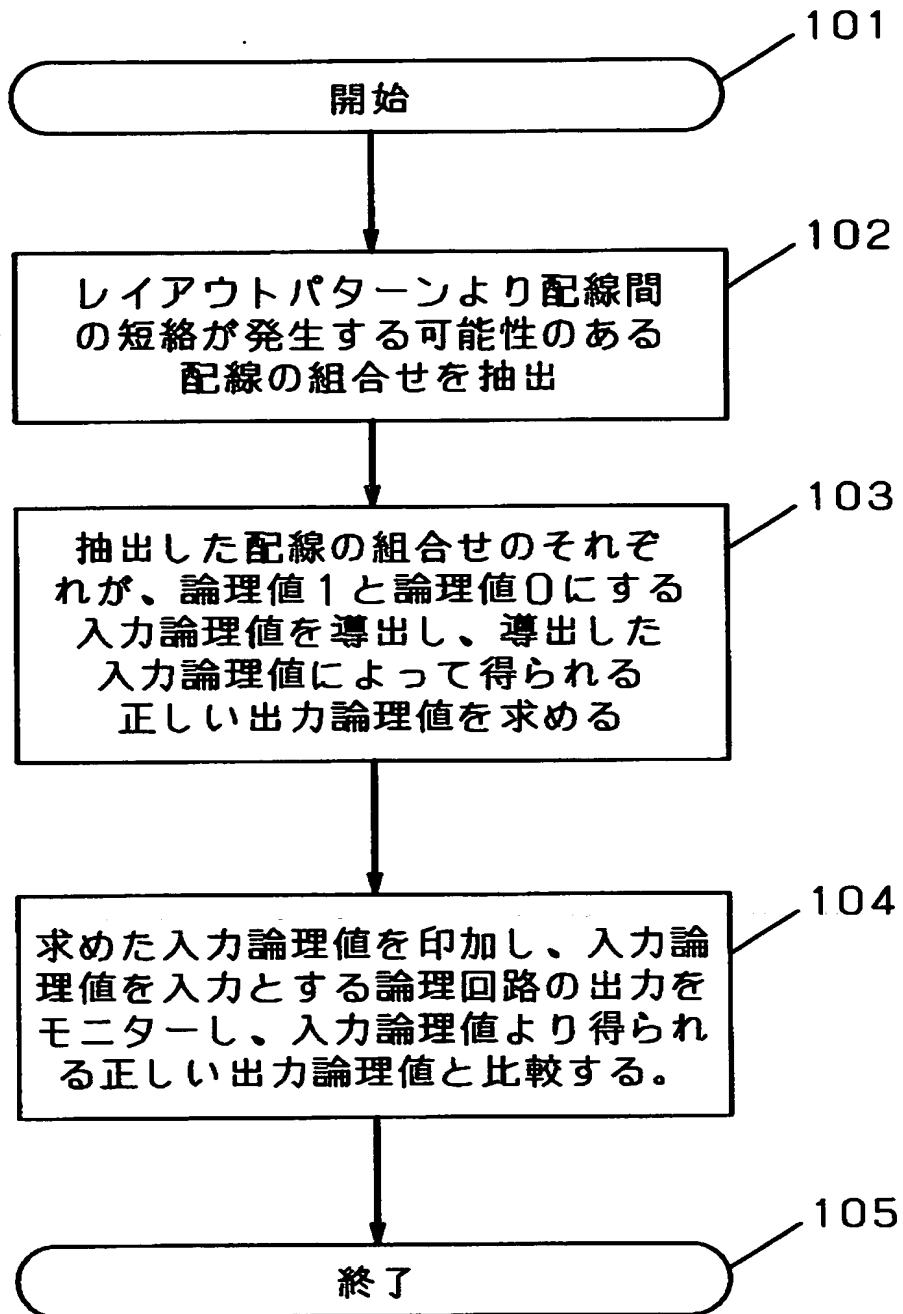
2 1 0, 2 1 1 ANDゲート

2 5 1 ~ 2 5 4, 2 5 6, 2 5 7 配線

4 0 1 ~ 4 0 9 ステップ

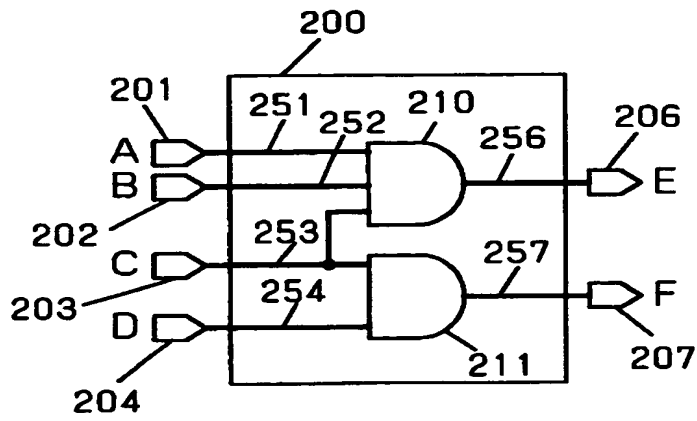
【書類名】 図面

【図 1】

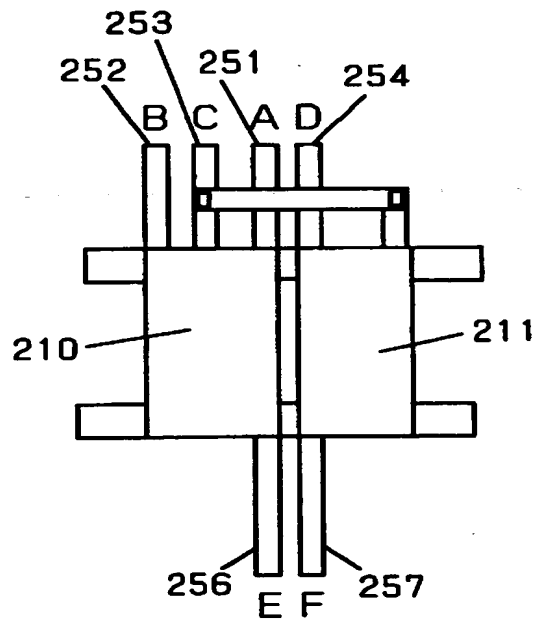


【図2】

(a)



(b)



【図 3】

(a)

	A	B	C	E
a	1	1	1	1
b	0	1	1	0
c	1	0	1	0
d	1	1	0	0

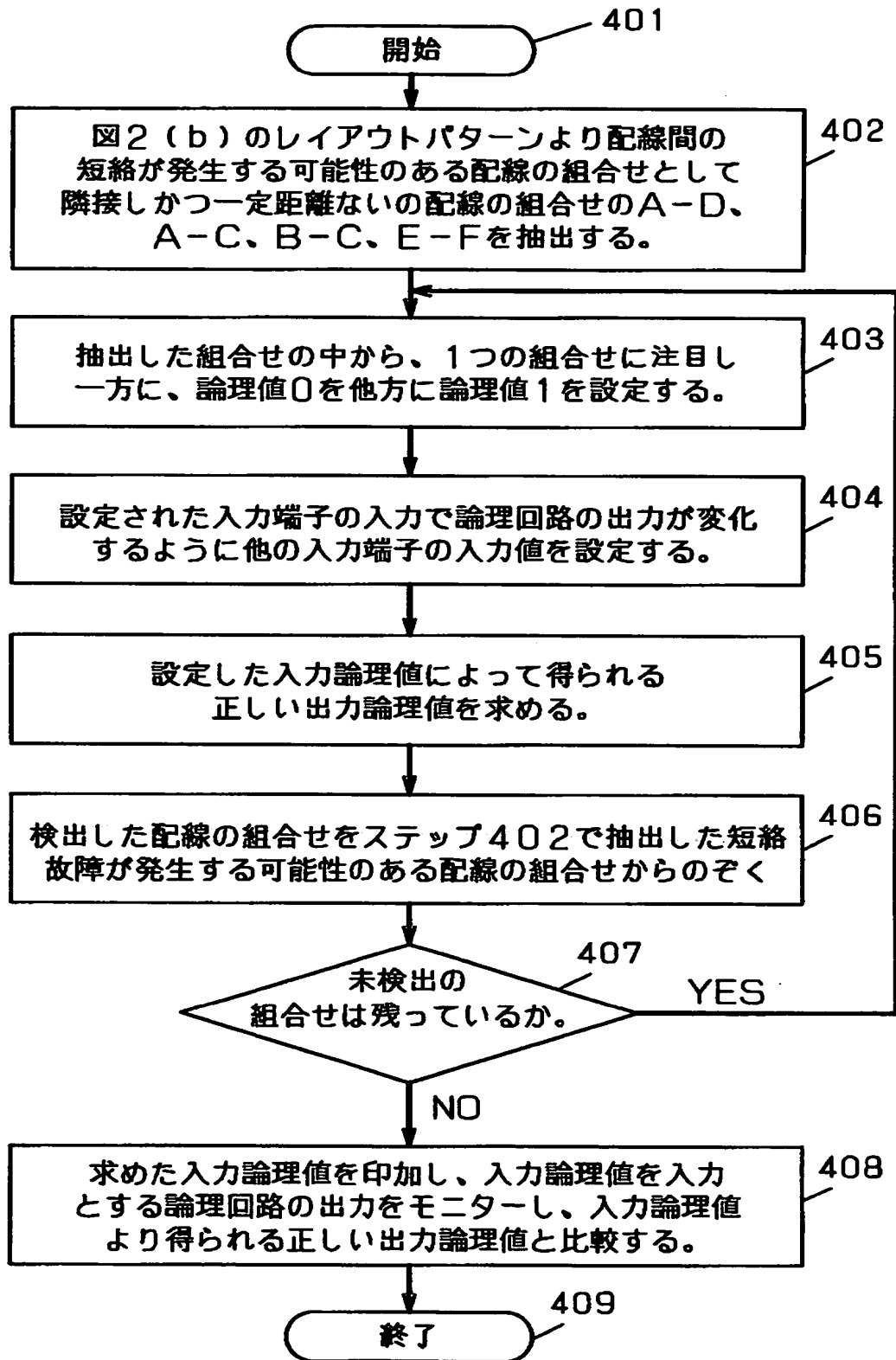
(b)

	C	D	F
e	1	1	1
f	0	1	0
g	1	0	0

(c)

	A	B	C	D	E	F
h	1	1	1	1	1	1
i	0	1	1	0	0	0
j	1	0	1	0	0	0
k	1	1	0	1	0	0

【図 4】



【図 5】

(a)

	A	B	C	D	E	F
l	1	1	1	0	1	0
m	0	1	1	1	0	1

(b)

	A	B	C	E
n	1	1	0	0
o	0	1	1	0

(c)

	A	B	C	D	E	F
p	1	0	1	1	0	1
q	1	1	0	1	0	0

(d)

	A	B	C	D	E	F
r	1	1	1	0	1	0
s	0	1	1	1	0	1
t	1	0	1	0	0	0
u	1	1	0	1	0	0

【書類名】 要約書

【要約】

【課題】 従来の縮退故障をモデルとした半導体検査方法では、短絡を起こす可能性のある隣接配線の短絡故障を検出できない場合があった。

【解決手段】 半導体のレイアウトパターンより短絡故障の発生する隣接配線を抽出するステップ 1 と、前記隣接配線が論理値 1 と 0 となる入力論理値を求めるステップ 2 と、前記入力論理値を加え前記入力論理値を入力とする論理回路の出力をモニターし期待値を比較するステップ 3 とを備えることで隣接配線の短絡故障を検出する入力論理値が求められ、また、論理回路の出力で検出することにより短時間でかつ正確に検出できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社